

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-195656

(43)公開日 平成8年(1996)7月30日

(51)Int.Cl.⁶

H 03 K 5/13
3/017
19/00
19/0175

識別記号

庁内整理番号

F I

技術表示箇所

B

H 03 K 19/00 101 N

審査請求 未請求 請求項の数18 OL (全8頁)

(21)出願番号 特願平7-258819

(22)出願日 平成7年(1995)10月5日

(31)優先権主張番号 08/320,361

(32)優先日 1994年10月11日

(33)優先権主張国 米国(US)

(71)出願人 595026416

シンバイオス・ロジック・インコーポレイテッド

アメリカ合衆国 コロラド州 80525 フォートコリンズ ダンフィールド コート 2001

(72)発明者 ダオロン チエン

アメリカ合衆国 コロラド州 80525 フォートコリンズ、レッド クラウド コート 2731

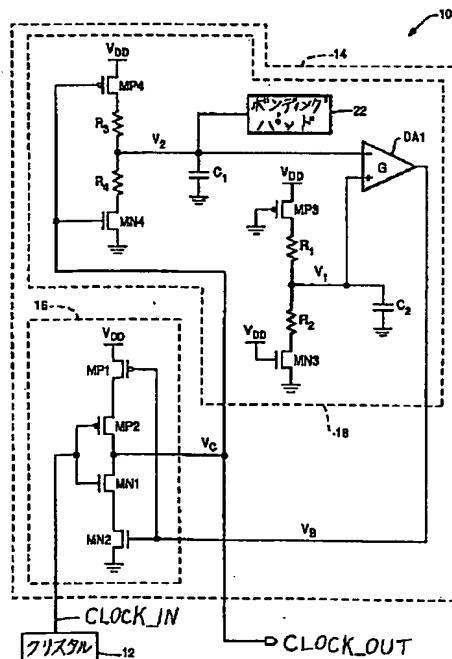
(74)代理人 弁理士 西山 善章 (外2名)

(54)【発明の名称】 クロック信号発生回路およびクロック信号発生方法

(57)【要約】

【課題】 本発明は、安定したデューティー・サイクルに調整可能であり、且つクリスタル周波数と同じ周波数を有するクロック信号を発生するための回路および方法を提供する。

【解決手段】 クリスタルに接続されクリスタルからの第1の信号をクロック信号に変換するクロック発生回路と、デューティー・サイクルを自動的に安定した状態のデューティー・サイクルに変更するためのフィードバック信号を生成するデューティー・サイクル制御回路とかなる。本発明のクロック制御回路は更に、測定器によってデューティー・サイクルを決定できるように出力パッドを有することも可能である。



【特許請求の範囲】

【請求項1】 周波数を有する第1の信号を発生するクリスタルと、前記クリスタルに接続され前記クリスタルからの前記第1の信号をクロック信号に変換する第1の回路と、前記第1の回路と接続されクロック信号のデューティー・サイクルを制御するためのフィードバック信号が与えられるフィードバック信号入力を有する第2の回路とを有する駆動回路と、前記クロック信号の出力とフィードバック信号入力との間に接続され、デューティー・サイクルを安定した状態のデューティー・サイクルに自動的に変更するためのフィードバック信号を生成するデューティー・サイクル制御回路と、からなるクロック信号発生回路。

【請求項2】 前記安定した状態のデューティー・サイクルを新たな安定した状態のデューティー・サイクルに調整可能な、請求項1記載のクロック信号発生回路。

【請求項3】 前記安定した状態のデューティー・サイクルが50%デューティー・サイクルである、請求項1記載のクロック信号発生回路。

【請求項4】 前記第1の回路は、

ゲート、ソースおよびドレインを有し、該ゲートがクリスタルに接続されている第1の電界効果トランジスタと、

ゲート、ソースおよびドレインを有し、該ドレインが前記第1の電界効果トランジスタのドレインと接続されて該接続部でクロック出力信号を提供し、該ゲートがクリスタルに接続されている第2の電界効果トランジスタと、からなる、請求項1記載のクロック信号発生回路。

【請求項5】 前記第2の回路は、

ゲート、ソースおよびドレインを有し、該ドレインが前記第1の電界効果トランジスタのソースに、該ソースが電源に、該ゲートがフィードバック信号にそれぞれ接続されている第3の電界効果トランジスタと、

ゲート、ソースおよびドレインを有し、該ソースがグラウンドに、該ドレインが前記第2の電界効果トランジスタのソースに、該ゲートが前記第3の電界効果トランジスタのゲートにそれぞれ接続されている第4の電界効果トランジスタと、からなる、請求項1記載のクロック信号発生回路。

【請求項6】 前記デューティー・サイクル制御回路は、安定した状態のデューティー・サイクルを新たな安定した状態のデューティー・サイクルに変更する回路要素からなる、請求項1記載のクロック信号発生回路。

【請求項7】 前記デューティー・サイクル制御回路は、測定回路によってデューティー・サイクルを決定できるように出力パッドを有する、請求項1記載のクロック信号発生回路。

【請求項8】 前記デューティー・サイクル制御回路は、

クロック信号に接続された第1の電圧分配器と、第2の電圧分配器と、差動増幅器とからなり、前記第1の電圧分配器は、直列に接続され、その接続点で第1の出力電圧を生成する第1及び第2の抵抗と、前記第1の抵抗と電源との間に接続され、クロック信号がロー状態のときに閉じるようにした第1のトランジスタ・スイッチと、

前記第2の抵抗とグラウンドとの間に接続され、クロック信号がハイ状態のときに閉じるようにした第2のトランジスタ・スイッチとを有し、前記第2の電圧分配器は、

直列に接続され、その接続点で第2の出力電圧を生成する第3及び第4の抵抗を有し、前記差動増幅器は、

前記第1と第2の出力電圧にそれぞれ接続する第1と第2の入力と、

フィードバック信号を生成する出力とを有する、請求項1記載のクロック信号発生回路。

【請求項9】 前記デューティー・サイクル制御回路は更に、

前記第1および第2の抵抗との間に接続部分とグラウンドとの間に接続され、前記第1の出力信号からノイズを除去し、前記第1の出力信号におけるフィードバック・オーバーシュートを低減する第1のキャパシタと、

前記第3および第4の抵抗との間に接続部分とグラウンドとの間に接続され、前記第2の出力信号からノイズを

除去し、前記第2の出力信号におけるフィードバック・オーバーシュートを低減する第2のキャパシタと、からなる、請求項8記載のクロック信号発生回路。

【請求項10】 周波数を有する第1の信号を発生するクリスタルと、

クロック信号出力とフィードバック信号入力とを有し、前記クリスタルに接続され前記クリスタルからの前記第1の信号をクロック信号に変換する駆動回路と、

前記クロック信号出力と前記フィードバック信号入力との間に接続され、デューティー・サイクルを安定した状

態のデューティー・サイクルに自動的に変更するためのフィードバック信号を生成し、さらに前記安定した状態のデューティー・サイクルを新たな安定した状態のデューティー・サイクル制御回路と、からなり、

前記駆動回路は、

前記クリスタルとゲートで接続された、ゲート、ソースおよびドレインを有する第1の電界効果トランジスタと、

ゲート、ソースおよびドレインを有し、該ドレインが前記第1の電界効果トランジスタのドレインと接続されて

該接続点でクロック出力信号を提供し、該ゲートが前記クリスタルと接続された第2の電界効果トランジスタと、

ゲート、ソースおよびドレインを有し、該ドレインが前記第1の電界効果トランジスタのソースに、該ソースが電源に、該ゲートがフィードバック信号にそれぞれ接続されている第3の電界効果トランジスタと、

ゲート、ソースおよびドレインを有し、該ソースがグラウンドに接続され、該ドレインが前記第2の電界効果トランジスタのソースに接続され、該ゲートが前記第3の電界効果トランジスタのゲートにそれぞれ接続されている第4の電界効果トランジスタと、からなる、クロック信号発生回路。

【請求項11】前記デューティー・サイクル制御回路は更に、

測定回路によってデューティー・サイクルを決定できるように出力パッドを有する、請求項10記載のクロック信号発生回路。

【請求項12】クリスタルからの第1の信号を、クロック発生回路内において、該クリスタルの周波数と同じ周波数であって安定した状態のデューティー・サイクルを有するクロック信号に変換するとともに、該安定した状態のデューティー・サイクルは新たな安定した状態のデューティー・サイクルに調整可能である、クロック発生回路のための制御回路。

【請求項13】クリスタルに接続され、前記第1の信号をクロック信号に変換し、クロック信号出力とフィードバック信号入力を有する駆動回路と、

前記クロック信号出力と前記フィードバック信号入力との間に接続され、デューティー・サイクルを安定した状態のデューティー・サイクルに自動的に変更するためのフィードバック信号を生成するデューティー・サイクル制御回路と、からなる、請求項12記載の制御回路。

【請求項14】クリスタルからの第1の信号を、クロック発生回路内において、該クリスタルの周波数と同じ周波数であって安定した状態のデューティー・サイクルを有するクロック信号に変換するとともに、測定回路によってデューティー・サイクルを決定できるように出力パッドを有する、クロック発生回路のための制御回路。

【請求項15】クリスタルによって周波数を有する第1の信号を発生し、

クリスタルからの前記第1の信号をクロック信号に変換し、

前記クロック信号をフィードバック信号を生むデューティー・サイクル制御回路に与え、

前記フィードバック信号によってデューティー・サイクルを安定した状態のデューティー・サイクルに変える工程からなるクロック信号発生方法。

【請求項16】前記工程は更に、

前記安定した状態のデューティー・サイクルを新たな安定した状態のデューティー・サイクルに変更する工程を有する、請求項15記載のクロック信号発生方法。

【請求項17】前記工程は更に、
デューティー・サイクル制御回路に接続する出力パッドを提供し、
デューティー・サイクルを決定するために測定機器を出力パッドに接続する工程を有する、請求項16記載のクロック信号を生成する方法。

【請求項18】クロック信号を発生する回路と、
前記クロック信号を使用する回路と接続する論理要素とからなり、
前記回路は、

周波数を有する第1の信号を発生するクリスタルと、
前記クリスタルに接続され、前記クリスタルからの前記第1の信号をクロック信号に変換する第1の回路と、前記第1の回路と接続されクロック信号のデューティー・サイクルを制御するためにフィードバック信号が与えられるフィードバック信号入力を有する第2の回路と、を

20 有する駆動回路と、
クロック信号出力とフィードバック信号入力との間に接続され、デューティー・サイクルを安定した状態のデューティー・サイクルに自動的に変更するためのフィードバック信号を生成するデューティー・サイクル制御回路と、からなる、コンピュータ内システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、クロック信号を発生するための回路および方法に関する。

【0002】

【従来の技術】デジタルシステムは、システム内の異なる機能部分で達成される動作を同期するため1あるいはそれ以上のクロック信号を一般的に必要とする。そのようなシステムでは、クロック信号が50%のデューティー・サイクル(duty cycle)を有することが望まれる。デューティー・サイクルは、全サイクルタイムに対するパルス幅の割合として良く知られている。このような50%デューティー・サイクルのために、クロック信号はサイクルタイムの1/2以上の周波数である。50

40 %デューティー・サイクルを有するクロック信号を発生する既知の方法は、所望する周波数の2倍に等しい周波数を有する信号を発生し、その信号を2つの割ってデューティー・サイクルのゆがみを除去する。

【0003】これらの方法はコストが高くつく。例えば、100MHzクリスタルは50MHzクリスタルよりもコスト高である。これらのシステムはさらに、高い電力を消費し、高いラジオ周波数の放射をもたらし、システムのパフォーマンスを低下させる。最後に、これらは、デューティー・サイクルを製造段階で測定することを困難とするクロック信号をもたらす。

【0004】

【発明が解決しようとする課題】それ故、上記欠点から悩まされることのないクロック信号を発生する回路および方法を提供することが望まれている。さらに、50%に限定されない安定した状態のデューティー・サイクルを有するクロック信号を生成する回路と方法も望まれている。

【0005】

【課題を解決するための手段】本発明で教示することによれば、クロック信号を発生する回路および方法が提供される。クロック発生回路は、周波数を有する第1の信号を発生するクリスタル（水晶発振子ともいいう）と、クリスタルと接続され、前記第1の信号を、前記第1の信号の周波数と同じであってデューティー・サイクルを有するクロック信号に変換する制御回路とを有する。

【0006】これにより、本発明の特徴は、クリスタル周波数とクロック周波数は同じであり、周波数分割器は必要がないことである。

【0007】制御回路は、クリスタルと接続され、第1の信号をクロック信号に変換し、クロック信号出力と、フィードバック信号入力とを有する駆動回路と、クロック信号出力とフィードバック信号入力間で接続され、デューティー・サイクルを自動的に安定した状態のデューティー・サイクルに変更するためのフィードバック信号を生成するデューティー・サイクル制御回路とを有する。

【0008】これにより、本発明の特徴は、安定した状態からの変動を自動的に訂正することである。

【0009】本発明のクロック発生回路は、安定した状態のデューティー・サイクルを新たな安定した状態のデューティー・サイクルに変更する回路要素を有する場合もある。安定した状態のデューティー・サイクルは、回路を変更することなく変更可能である。

【0010】最後に、クロック発生回路は、測定機器によってデューティー・サイクルを決定するための出力パッドを有する場合もある。

【0011】これにより、本発明の目的は、クロック信号を発生する回路および方法を提供することである。

【0012】本発明の別の目的は、周波数分割器を使用しないクロック信号を発生する回路および方法を提供することである。

【0013】本発明の他の目的は、回路内にクリスタルと同じ周波数を有するクロック信号を発生するための回路および方法を提供することである。

【0014】本発明の他の目的は、自動的にデューティー・サイクルを安定した状態のデューティー・サイクルに調整する、クロック信号を発生するための回路および方法を提供することである。

【0015】本発明の他の目的は、回路を変更することなく、デューティー・サイクルを調整可能な、クロック

信号を発生するための回路および方法を提供することである。

【0016】本発明の他の目的は、デューティー・サイクルの測定を提供できる、クロック信号を発生するための回路および方法を提供することである。

【0017】

【実施例】本発明の効果および有利な点は、次に述べる好ましい実施例と請求の範囲と、図とを参照することにより、本発明の技術分野における当業者にとって明らかとなるだろう。

【0018】図1を参照すると、クロック信号発生器10は、クリスタル12と制御回路14を含む。

【0019】クリスタル12は、制御回路14に信号CLOCK_INをもたらす。信号CLOCK_INは、基本的に一定の周波数を有する。

【0020】制御回路14は、駆動回路16とデューティー・サイクル制御回路18を含む。

【0021】駆動回路16は、信号CLOCK_INを増幅し、信号CLOCK_INを信号CLOCK_OUTに変換し、デューティー・サイクル制御回路18からの制御信号に応答して信号CLOCK_OUTのデューティー・サイクルを調整する。駆動回路16は、電界効果トランジスタ（FETs）MP1, MP2, MN1, そしてMN2を含み、これらは、Vddとグラウンド間で直列に接続されている。FETのMP1とMP2はpチャンネルFETである。FETのMN1とMN2はnチャンネルFETである。FETのMP2とMN1のゲートは、お互いに接続され、信号CLOCK_INを提供する入力端子に接続されている。FETのMP2とMN1の中央タップは、出力クロック信号CLOCK_OUTを提供する。FETのMP1とMN2のゲートは、お互いに接続され、デューティー・サイクル制御回路18からのバイアス電圧Vbに接続されている。

【0022】デューティー・サイクル制御回路18は、FETのMN1とMP2とが接続したところの信号CLOCK_OUTの電圧Vcをモニタし、信号CLOCK_OUTのデューティー・サイクルを制御するため、FETのMP1とMN2のゲートのところにバイアス電圧Vbを生成する。

【0023】図2を参照すると、50%デューティー・サイクルのために、バイアス電圧Vbと電圧Vddとの関係について次の事が言える。

【0024】1. バイアス電圧Vbが、電圧Vddの半分のとき、FETのMP1とMP2を通るチャージ電流は、FETのMN1とMN2を通るディスチャージ電流と同じである。信号CLOCK_OUTの立ち上がり時間と立ち下がり時間は、同じであり、50%のデューティー・サイクル結果となる（波形（a））。

【0025】2. バイアス電圧Vbが、電圧Vddの半分より大きいと、チャージ電流はディスチャージ電流よ

り少なくなる。立ち上がり時間は立ち下がり時間より大きく、50%デューティー・サイクルよりも小さい結果となる(波形(b))。

【0026】3. バイアス電圧Vbが、電圧Vddの半分より小さいと、チャージ電流はディスチャージ電流より大きくなる。立ち上がり時間は立ち下がり時間より小さく、50%デューティー・サイクルよりも大きい結果となる(波形(c))。

【0027】図1に戻って参照すると、デューティー・サイクル制御回路18は、差動増幅器DA1と、抵抗R1-R4、FET: MN3, MP3, MN4そしてMP4、そしてキャパシタC1とC2を含む。差動増幅器DA1はゲインGを有する。抵抗R1とR2、FET: MN3とMP3、そしてキャパシタC2は、第1の調整回路を形成し、グラウンドと差動増幅器DA1の第1の入力と接続されている。抵抗R1とR2、そしてFET: MN3とMP3はVddとグラウンドの間で直列に接続されている。抵抗R1とR2間のタップ点は電圧V1を差動増幅器DA1に提供する。FET: MP3のゲートはグラウンドに接続されている。MN3のゲートは電圧Vddに接続されている。

【0028】キャパシタC1は、デカップリング・キャパシタであり、電圧Vddとグラウンドからのノイズをフィルターしフィードバック応答のオーバーシュートを低減する。

【0029】抵抗R3とR4、FET: MN4とMP4、そしてキャパシタC1は、第2の調整回路を形成し、駆動回路16の出力クロック端子と差動増幅器DA1の第2の入力との間に接続されている。抵抗R3とR4、そしてFET: MN4とMP4は電圧Vddとグラウンド間で直列に接続されている。抵抗R3とR4間のタップ点は、差動増幅器DA1に電圧V2を提供する。FET: MP4とMN4のゲートは、お互いに接続し、そして駆動回路16の出力クロック端子と接続している。

【0030】キャパシタC2は、デカップリング・キャパシタであり、電圧Vddとグラウンドからのノイズをフィルターし、フィードバック応答のオーバーシュートを低減する。

【0031】バイアス電圧Vbは、差動増幅器DA1の入力電圧によって決定される:

$$Vb = Vdd/2 + G(V1 - V2)$$

もし、FET: MP3とMN3のレジスタンスが抵抗R1とR2よりもずっと小さく、FET: MP4とMN4のレジスタンスが抵抗R3とR4よりもずっと小さくかった場合は、電圧V1とV2は、次の式で決定される。

$$V1 = Vdd \cdot R2 / (R1 + R2)$$

$$V2 = Vdd \cdot R4 / (R3 + R4)$$

50%デューティー・サイクルのために、抵抗R1は抵抗R2と等しく、抵抗R3とR4とは等しい。よって、

$$V1 = V2 = Vdd/2$$

各クロック・サイクルの間に、電圧Vddから電圧V2、そして電圧V2からグラウンドに移るチャージ量は:

$$Q1 = [(Vdd - V2) / R3] \cdot T \cdot (1 - D),$$

$$Q2 = [(V2 - 0) / R4] \cdot T \cdot D,$$

である。ここで、Tはクロック・サイクル時間であり、Dは信号CLOCK_OUTのデューティー・サイクルである。

【0033】チャージQ1は、安定した状態の条件ではQ2と同じである。よって、

$$V2 = (1 - D) \cdot Vdd$$

従って、電圧V2は、信号CLOCK_OUTの(1-D)に直線的に比例する。R1=R2、R3=R4のときV1=V2=Vdd/2であるから、デューティー・サイクルDは、50%と等しくなければならない。

【0034】デューティー・サイクル制御回路18の有利な点は、2で分割する回路と組み合わし、クロック周波数の2倍の周波数を有する高価なクリスタルを使用することなく、50%デューティー・サイクルを発生できることにある。

【0035】デューティー・サイクル制御回路18が、安定した状態のデューティー・サイクルDを探し求めるることは、本発明の特徴である。瞬時のデューティー・サイクルがDより大きいとき、電圧V2はV1よりも小さくなる。同時に、バイアス電圧VbはD \cdot Vddよりも大きくなり、相互でデューティー・サイクルをDの方向に小さくさせる。

【0036】本発明の他の特徴は、デューティー・サイクル制御回路18は、50%デューティー・サイクル以外の安定した状態のデューティー・サイクルDに調整するため使用できることである。安定した状態のデューティー・サイクルDは、次のように抵抗R1-R4を調整することによって調整できる。

$$R3 = R4 \text{ そして}$$

$$R2 = (1 - D) \cdot (R1 + R2)$$

もし、希望するデューティー・サイクルDが、50%よりもずっと大きく、あるいはずっと小さい場合は、幾つかの回路をカスケード接続し、遅い立ち上がり時間や立ち上がり時間に悩むことなく希望するデューティー・サイクルを達成する。

【0038】最後に、本発明の他の特徴は、デューティー・サイクル制御回路18が、簡単で安価な方法で、信号CLOCK_OUTのデューティー・サイクルDを決定できることである。電圧V2は、既知の値(1-D)とVddに比例するため、デューティー・サイクルDはボンディング・パッド2で電圧V2を測定することによって決定できる。

【0039】図3を参照すると、本発明の制御回路14は、コンピュータ内のどんなシステム30内でも適用可

能である。システム30はまた、信号CLOCK_OUTを使用する論理要素を含む。

【0040】本発明の様々な特徴を、図示および記載された実施例を参照しながら説明してきた。しかし、本発明の精神および範囲から逸脱することなく変更が可能であることを理解しなければならない。

【図面の簡単な説明】

【図1】 本発明の回路図である。

【図2】 本発明の回路動作を記述した波形図である。

【図3】 本発明の回路を組み込んだシステムのブロック図である。

【符号の説明】

10 . . . クロック信号発生器

12 . . . クリスタル

* 14 . . . 制御回路

18 . . . デューティー・サイクル制御回路

22 . . . ボンディング・パッド

30 . . . システム

32 . . . 論理要素

MP1, MP2, MP3, MP4 . . . pチャンネルF
ET

MN1, MN2, MN3, MN4 . . . nチャンネルF
ET

10 Vb . . . バイアス電圧

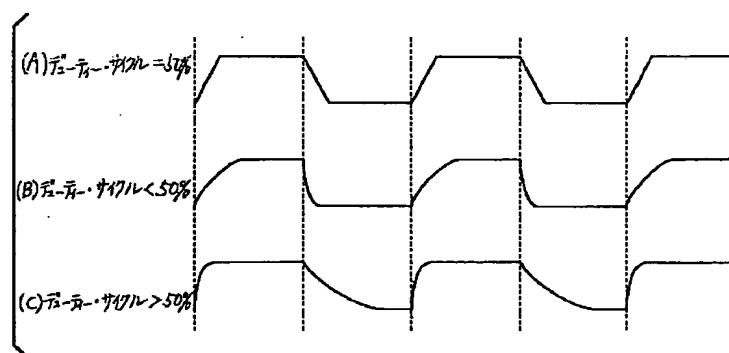
R1, R2, R3, R4 . . . 抵抗

DA1 . . . 差動増幅器

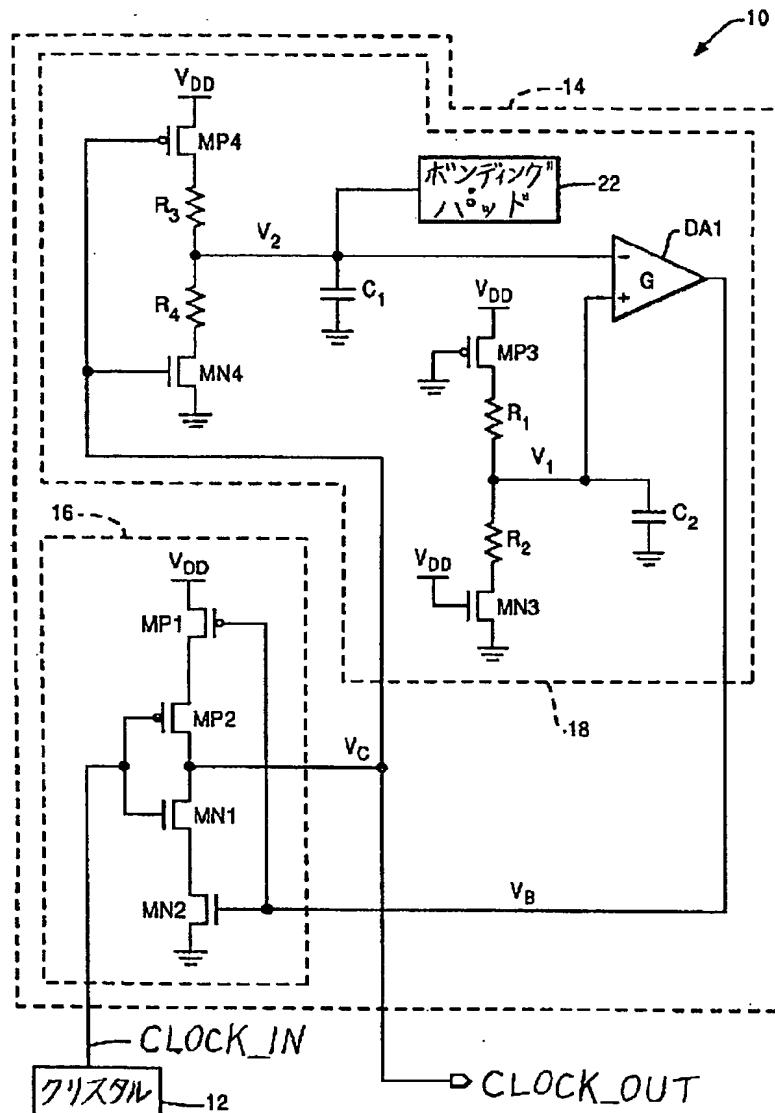
C1, C2 . . . キャパシタ

*

【図2】



[図1]



【図3】

